三大图谱牵引 AI 赋能数字逻辑电路“无界课堂”改革与探索*

王今雨** 刘松 安健 唐亚哲 王龙翔 张利平

西安交通大学计算机科学与技术学院，西安 710016

摘 要 针对现有数字逻辑电路课程理论抽象、实践薄弱、传统课堂边界固化与 AI 应用碎片化等诸多痛点，构建了“问题-知识-能力”三大图谱牵引、“师-生-AI”协同的“无界课堂”新模式，同时配套建设课程多模态语料库及垂直大模型智能体，对接交晓智与思源学堂 2.0 平台，将生成式 AI、知识图谱充分与现有教学模式进行有机融合，实现“课前-课中-课后”所有教学环节的闭环，同时将 FPGA 硬件加速神经网络等前沿内容引入已有教学内容之中。通过两个学期的课程实践，验证该模式有利于提高学生课堂参与度、培养学生自主探究能力，亦可切实提高工程实践水平。以 30 名学生的两次项目验收数据为例，学生平均成绩分别为 97.00 分和 97.34 分，90 分及以上优秀率均为 100%，各考核分项达成率均不低于 91.30%，直观表明该模式在促进知识掌握、工程实践和综合应用能力提升方面取得了较好成效。

关键字 数字逻辑电路，人工智能赋能教育，无界课堂，三大图谱，师-生-AI 协同，计算机课程教学改革

Reform and Exploration of an AI-Empowered Boundaryless Classroom for Digital Logic Circuits Driven by Three Graphs*

Jinyu Wang Song Liu Jian An Yazhe Tang Longxiang Wang Liping Zhang

School of Computer Science and Technology
Xi’an Jiaotong University,
Xi’an 710016, China

Abstract—To address the pain points of digital logic circuits, including abstract theory, weak practice, fixed classroom boundaries and fragmented AI applications, this paper constructs a new “boundaryless classroom” model driven by problem, knowledge and competency graphs and supported by teacher-student-AI collaboration. A multimodal course corpus and a vertical large-model agent are developed and connected with the Jiaoxiaozhi and Siyuan Xuetang 2.0 platforms. Generative AI and knowledge graphs are integrated into teaching before, during and after class, while frontier topics such as FPGA-based neural-network acceleration are introduced into the existing course content. Two semesters of practice show that the model can improve classroom participation, support autonomous inquiry and enhance engineering practice competence. For a cohort of 30 students, the mean scores of two project assessments were 97.00 and 97.34, respectively; all students scored 90 or above, and the attainment rate for every assessment dimension was at least 91.30%. These results provide quantitative evidence that the model improves knowledge mastery, engineering practice, and integrated application competence.

Keywords—Digital logic circuits; AI-empowered education; boundaryless classroom; three graphs; teacher-student-AI collaboration; computer course teaching reform

1 引 言

由于生成式人工智能、大语言模型、知识图谱等技术的迅猛发展，故高等教育已经进入深度数字化转型的新阶段[1-3]，因此教育部明确提出要求推进大模型与教育教学全要素融合[4-6]，系统、扎实地探索“人工智能+教育”新范式[7]，用技术手段解决本科生培养的一致化与个性化之间的矛盾。

《数字逻辑电路》课程是计算机类、电子信息类、自动化类专业的专业核心必修课程，该课程是《电路》、《模拟电路》的后续内容，也是《计算机组成》、《嵌入式系统》与《计算机系统结构》等课程的先修课程，因此，该课程在培养学生计算思维与硬件工程能力中具有承前启后的作用[8]。该课程具有理论知识要点多、概念跨度大且抽象、对实践能力要求强、与工程结合紧密等特点[9]，而传统教学中普遍存在课堂边界固化、单向信息传递、个性化指导薄弱、内容滞后于前沿技术等突出问题。

*基金资助：本文得到 2025 西安交通大学“人工智能先导计划”教学模式改革专题研究项目（25ZKZX03），2024 西安交通大学本科教学改革项目（2413Z），2024 年度教育部-华为“智能基座”2.0 课程建设项目（24ZNJZ014）资助

**通讯作者：王今雨 jinyu.wang@xjtu.edu.cn。

2 数字逻辑电路课程教学改革需求

2.1 现有数字逻辑电路课程教学改革不足

近年来，数字逻辑电路课程教学改革已由单一的课堂讲授优化逐步拓展到项目式教学、线上线下混合教学、知识图谱辅助学习、虚拟仿真实验以及人工智能工具支持等方面。相关研究通过重构知识体系、建设实验平台和引入智能辅导，增强了抽象逻辑知识的可视化表达与实践训练，对缓解理论理解困难、实验条件受限等问题发挥了积极作用[1-3,8-9]。

但从现有实践看，改革仍存在三方面不足：一是知识资源、实验任务与能力目标往往分散建设，缺少贯通“问题—知识—能力”的系统映射，学生难以形成完整的学习路径；二是人工智能应用多停留在通用问答、代码生成或局部答疑层面，与时序分析、波形诊断、FPGA 实现等专业场景结合不深，且缺少过程数据驱动的个性化反馈；三是课程内容更新、教学活动与评价机制之间协同不足，对工程实践、综合设计和前沿迁移能力的考查仍不充分。因此，有必要在已有改革基础上进一步整合课程图谱、专业智能体、工程项目与全过程评价，形成面向课前、课中、课后及线上、线下、实践场域协同联动的教学模式。

2.2 教与学模式固化，规模化教学与个性化需求矛盾突出

数字逻辑电路作为计算机类专业本科生接触的第一门专业必修硬件课程，知识点横跨布尔代数理论、组合电路分析与设计、时序电路状态机建模、Verilog/VHDL 硬件描述语言编程、FPGA 原型验证等五大核心模块。具有知识点间链条长、概念抽象度高等特点，学生在不同教学环节的接受能力和学习进度差异较大。传统课堂采用“统一进度、单向讲授”的规模化教学模式，无法适配该课程特性，例如：讲解卡诺图化简、竞争冒险产生机制、触发器时序特性等抽象内容时，只能通过 PPT 和板书进行标准化讲解，无法实时捕捉学生的个体理解盲区；现有课堂互动多为集体提问形式进行，难以针对不同学生在状态机设计、HDL 语法规范、时序约束编写等方面的具体问题进行精准指导；课后答疑和实验指导资源严重不足，目前《数字逻辑电路》课程上课学生共 397 名，分三个平行班，平均一名教师面向上百名学生，很多学生在代码调试、FPGA 下载、波形分析等实操环节遇到的问题无法及时解决，导致学习断层。最终形成 “基础薄弱学生跟不上、基础扎实学生吃不饱” 的两极分化局面，课堂参与度普遍较低，自主探究意愿严重不足。

2.3 AI 碎片化与教学薄弱相叠加，工程应用能力培养体系缺失

目前《数字逻辑电路》课程中 AI 技术的应用尚处在零散、浅层的阶段，而教学中又长期存在“重验证、轻实践”的突出问题。具体而言，1）现有 AI 工具多为通用大模型，只能做到基础概念解释、简单代码模板生成等通用功能，不能很好地满足数字逻辑课程的领域需求：无法自动检查学生 Verilog 代码中的时序错误、组合逻辑环路隐患，不能对仿真波形中的异常毛刺做可靠分析，更不能合理地指导 FPGA 引脚分配、时序约束优化、硬件调试诸种实操环节。2）传统实验教学以验证性实验为主，实验内容一般是按指导书步骤搭建既定电路、观测已有结果，故学生没有机会进行真正的系统设计或问题排查。学生只会编写单个计数器、移位寄存器的代码，却不会设计由若干模块协同完成的数字钟、交通灯控制器，也因而缺乏复杂数字系统时序分析、故障排查的实际技能。

2.4 课程内容与产业脱节，硬件融合内容不足

现有课程内容长期停留在经典理论层面，因此与目前集成电路、硬件产业的发展需求严重脱节，导致人才培养与行业需求错位。具体而言，传统课程所讨论的核心内容仍然是 74 系列中小规模集成电路，教学案例也以数十年前的经典电路为主，而今产业界早已进入 FPGA 和 ASIC 设计时代，AI 硬件加速领域又在迅猛发展，故而数字逻辑设计人才的需求发生了重大变化。脉动阵列结构设计、卷积运算硬件实现、低功耗逻辑优化、AI 推理加速器架构，都已经成为数字逻辑工程师必备的技能，但是令人不安的是，这些内容在传统课程中几乎是空白状态。因此学生学完课程以后只能掌握简单的门级电路设计，却不知道如何用数字逻辑实现神经网络的卷积层、池化层，不了解脉动阵列的计算本质，更不可能独立设计并完成类似 FPGA 加速 YOLO 神经网络推理系统。换言之，内容的滞后直接造成学生毕业后不能顺利、充分地适应AI芯片、嵌入式系统、自动驾驶等行业的工作需要。

3 AI 赋能数字逻辑电路“无界课堂”改革设计

以西安交通大学计算机专业必修核心课程《数字逻辑电路》为载体，精准对接硬件类课程“理论抽象度高、实践依赖性强、工程属性突出”的核心特性，确立如图 1 所示的“师-生-AI”三元协同核心教学范式，以适配数字逻辑学科“问题-知识-能力”三大图谱[10]为智能导航，形成可借鉴、可推广的硬件类课程 AI 深度融合改革方案。

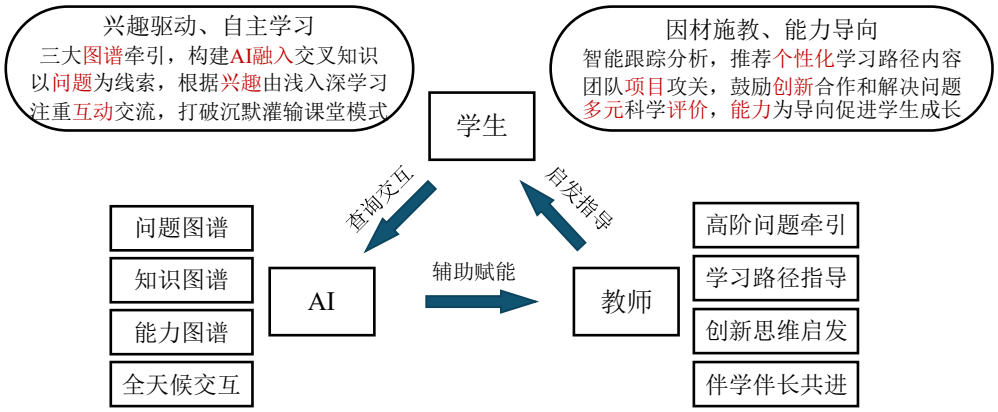


图 1 “师-生-AI”协同的“无界课堂”

3.1 师-生-AI 三方协同

突破现有“教师单向授课、学生被动接收”二元教学模式，从《数字逻辑电路》课程的特点出发，系统、合理地厘清教师、学生、AI 三方的角色及职责边界，由此引出“教师主导高阶教学、学生主导自主探究、AI 提供基础服务”的协同育人模式，也顺理成章地把教学重心从“知识传递”变为“能力孵化”。

教师从单纯的知识传授者变为能力的培养员，因此要从教学设计、个别辅导、高阶问题等方面进行引领，学生从知识的被动接受者转变成自主学习的主体，故而能自然、较为妥帖地使用 AI 工具进行自助式、探究式学习，AI 本身也作为 24 小时在线课程助教及学习伙伴，给学生提供智能答疑、HDL 代码验证、个性化推送、实验指导等诸种服务。

3.2 适配数字逻辑电路的三大图谱体系

结合数字逻辑电路“逻辑链条清晰、知识点关联性强、能力层级递进”的学科特点，构建“问题图谱牵引方向、知识图谱支撑学习、能力图谱衡量成效”的三层联动智能导航体系，实现教学内容的系统化和精准化。

（1）问题图谱构建分层递进的核心问题链

从《数字逻辑电路》的工程应用需求出发，有层次、有逻辑地构建如图 2 所示的问题图谱，由此形成贯穿全课程的核心问题链，并牵引学生从“学会书本知识”转向“解决实际问题”。具体而言，基础层问题用来巩固基本概念、厘清基本原理，因此问题图谱中包含诸如“布尔代数与普通代数的本质区别是什么”、“为什么卡诺图能够化简逻辑函数”、“组合电路与时序电路的根本区别是什么”等诸种问题，辅助学生完成对数字逻辑各知识点的正确理解。进阶层问题围绕电路设计及分析方法展开，例如“如何设计一个能够自动循环的计数器”、“如何消除组合电路中的竞争冒险现象”、“如何用 Verilog 实现一个复杂的有限状态机”，由此培养学生分析、设计数字逻辑电路的能力。工程层问题则着眼于真实工程应用及前沿技术，即“如何用 FPGA 实现一个简单的卷积运算单元”、“脉动阵列结构为什么适合神经网络加速”、“如何优化数字电路的功耗与资源利用率”，让学生在解决实际工程问题的过程中掌握所学内容。问题图谱中的题目均与知识图谱中知识点、能力图谱中能力指标形成明确、严谨的“问题-知识-能力”三者映射关系。



图 2 课程三级问题图谱（部分）

（2）知识图谱关联构建的知识网络

本改革建立如图 3 所示的知识图谱，实现对数字逻辑电路课程知识点的梳理，知识图谱包含“布尔代数基础、组合逻辑电路、时序逻辑电路、可编程逻辑器件与硬件描述语言”等五大模块，并且厘清了各知识点之间的逻辑关系，例如：把“卡诺图化简”与“组合电路优化”“逻辑函数表示”三者联系起来，把“触发器”与“时序电路基础”“寄存器”“计数器”诸概念连接起来，把“HDL 编程”与“电路设计”“FPGA 实现”直接关联。在此基础上，合理整合多模态教学资源，将每个章节配备对应的知识点、教学数字人、PPT 课件、习题、工程案例诸种资源，形成明确的“知识点-资源”对应关系。因此学生学习时点击任一知识点即可调出所有相关资源，也能借助知识图谱中所绘的关联关系主动、有计划地拓展学习相关内容，真正建构起完整的知识体系。



（a）课程整体知识图谱（部分） （b）逻辑代数化简基本规则

图 3 课程知识图谱

（3）能力图谱构建可量化的能力评估体系

从对标本科生毕业能力要求及《数字逻辑电路》课程培养目标的角度出发，建立了由“基础知识和相关理论、组合逻辑电路分析设计方法、时序逻辑电路分析设计方法、可编程逻辑器件与硬件描述语言能力”四大维度构成的能力图谱，如图 4 所示，每个维度都划分为若干可量化、可评价的能力指标，具体的：“掌握时序逻辑电路的分析与设计方法”细分为“时序逻辑电路基础”、“同步时序电路分析与设计”、“脉冲异步时序逻辑电路分析与设计”与“常用时序逻辑器件”四个指标，“掌握 PLD 逻辑器件与硬件描述语言”细分为“Verilog 语法”、“可编程逻辑器件”两个指标。并且利用思源学堂 2.0 教学平台实时采集学生习题正确率、代码质量、作业完成情况、项目成果诸种数据，据此对各能力指标做动态、客观的评估，并将结果直观、及时地呈现在能力图谱中。因此学生能由此明确自身的优势与不足，有的放矢地查漏补缺，而教师也能据此掌握全班学生各要素的能力达成情况，合理调整教学重点及教学方式。



图 4 课程能力图谱（部分）

4 改革创新亮点、实施成效与推广价值

由于本改革很好地解决了《数字逻辑电路》课程“理论抽象、实践依赖强、工程属性突出”的根本问题，因此突破了传统教学的时空边界及模式限制，在教学范式、技术支撑、内容体系、评价机制、落地路径诸方面都做了系统、有层次的创新，由此实现了学生能力提升、教学质量提高、示范效应明显诸种目标，也形成了可复制、可推广的硬件类课程 AI 赋能改革“交大范式”。

4.1 三大核心创新亮点

（1）建设数字逻辑电路课程“三大图谱”+“师-生-AI 协同”的无界课堂新模式，打破了教室作为第一课

堂的授课空间固定物理限制，突破了单一教师无法有效指导上百名学生的个性化指导不足问题。学生可以不受空间与时间约束，利用 7×24 小时全年无休的 AI 智能体，完成诸如 HDL 代码验证、仿真波形分析、FPGA 调试优化等任务，实现规模化教学与个性化培养的统一。并且在授课期间，智能体可根据学生与AI互动情况，自动生成学生能力画像，使教师充分、客观地了解每位学生的具体学情。

（2）合理构建数字逻辑电路专属“多模态语料库+垂直大模型智能体”，因而能很好地解决通用大模型在硬件课程教学中所存在的“专业知识不足、代码验证不准、实验指导不精”的问题，建成覆盖教材、教案、教学视频、习题试题、实验指导、工程案例、HDL 代码等 7 类资源的高质量多模态语料库，用该语料库训练垂直领域大模型，基于交晓智智能平台，建设数字逻辑电路专属智能体，其具备基本知识点专业答疑、Verilog 语法检查、组合逻辑验证、时序分析、故障排查等功能。

（3）以内容创新的方式把经典数字逻辑与 AI 硬件前沿技术进行融合，因而很好地解决了传统课程内容“几十年不变、与产业脱节”的老问题：在保留布尔代数、组合/时序电路、可编程器件诸种经典内容的基础上，新增数字逻辑与 AI 硬件融合特色模块，系统、有层次地讲解脉动阵列结构原理、卷积运算硬件实现、FPGA 加速神经网络推理、低功耗逻辑优化等前沿内容，再以基于 FPGA 的 YOLO 神经网络推理加速器为典型综合实践项目，引导学生将数字逻辑设计方法应用于硬件加速 AI 推理等领域。

4.2 实施成效

为验证“三大图谱牵引、师-生-AI 协同”的“无界课堂”教学改革成效，设计了课程实践中的两次项目验收数据进行统计分析。以 30 名学生为样本，从项目报告、基础功能实现、代码讲解、现场调试与选做功能完成情况等维度，对学生的知识掌握、工程实现与综合应用能力进行评价。结果表明，学生整体完成质量较高，项目任务达成度良好，说明改革后的教学模式能够较好支撑学生由“知识理解”向“工程实践”迁移，并有效提升学生的项目实现能力与自主探究能力。

第一次验收采用百分制评价，包括“提交项目报告（20 分）”，“基础功能（30 分）”，“代码讲解（35 分）”和“现场修改代码（15 分）”4 个维度。统计结果显示，30 名学生的平均总分为 97.0 分，最高分 100 分，最低分 93 分，优秀率（90 分及以上）达到 100%，说明学生整体能够较好完成项目基础要求并具备较强的现场应变与代码理解能力。

从各维度达成率来看：项目报告平均得分为 18.75/20，达成率为 93.75%；基础功能平均得分为 28.88/30，达成率为 96.25%；代码讲解平均得分为 34.63/35，达成率为 98.93%；现场修改代码平均得分为 14.75/15，达成率为 98.33%。这表明，在“无界课堂”教学模式支持下，学生不仅能够完成数字逻辑电路项目的基础设计任务，而且在代码表达、原理阐释和现场调试方面也表现出较高水平，反映出课程改革对学生工程表达能力、问题分析能力和实践应用能力具有显著促进作用。

表 1 项目验收成绩统计结果

验收阶段	评价项目	满分	均分	达成率/%	最高分	最低分	满分/优秀人数
第一次验收	总分	100	97.00	97.00	100	93	30/30（≥90 分）
	项目报告	20	18.75	93.75	20	17	
	基础功能	30	28.88	96.25	30	25	
	代码讲解	35	34.63	98.93	35	32	
	现场修改代码	15	14.75	98.33	15	13	
第二次验收	总分	100	97.34	97.34	99	94	30/30（≥90 分）
	项目报告	20	18.26	91.30%	20	16	
	基础功能	40	39.63	99.06	40	37	
	选做内容 1	30	28.25	94.17	30	25	
	选做内容 2	10	10.00	100.00	10	10	

第二次验收重点考察项目的综合实现与拓展能力，包括“提交项目报告（20 分）”，“基础功能（40 分）”，“选做内容 1（30 分）”和“选做内容 2（10 分）”。30 名学生平均得分为 97.34；最高分 99 分，最低分 94 分。图 5 为学生进行项目验收场景。

上述结果说明，学生不仅能够稳定完成项目的核心基础功能，而且在选做拓展任务方面也表现出较强的实现能力，说明教学改革已不仅停留在“会做基础实验”的层面，而是进一步推动学生向“能够完成拓展设计、具备综合实现能力”的方向发展。换言之，课程改革在促进学生工程实践能力、复杂任务解决能力以及创新拓展意识方面取得了较为明显的成效。

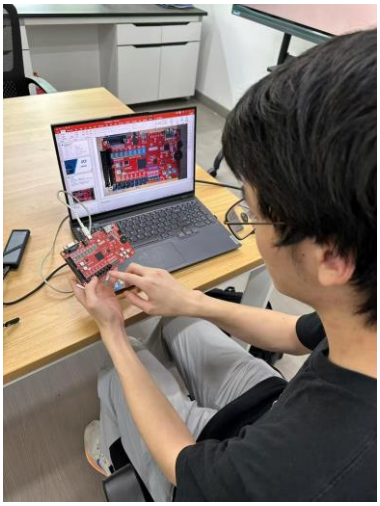


图 5 进行项目现场验收

5 结束语

作为计算机专业核心课程，数字逻辑电路的智能化改革是新工科人才培养里十分重要的环节，因此本文以三大图谱为牵引，以“师-生-AI”协同为核心，以无界课堂为形态，把生成式 AI 自然、合理地融入课程教学全流程，有效解决了传统教学的若干痛点，实现了教学范式、技术应用、人才培养的协同创新。

未来将有计划地迭代课程智能体及三大图谱体系，把 AI 与数字逻辑、计算机组成、嵌入式系统诸门硬件课程群更自然、更充分地融合起来，由此完善过程性评价、能力导向考核的机制，建成全国高校硬件类课程 AI 赋能改革示范标杆。

参 考 文 献

[1] 王秀娟,方娟,张佳玥,等. 知识图谱驱动的数字逻辑课程改革建设初探[J].计算机技术与教育学报,2025,13(07),P1-6.

[2] 艾浩军,吕鹏飞. LLM 赋能培养工程能力的信息安全专业数字逻辑教学实践[J].计算机技术与教育学报,2025,13(04),P141-145.

[3] 傅湘玲,唐轶,侯党,徐朗朗. 计算机科学专业课程体系知识图谱构建及分析[J].计算机技术与教育学报,2022,10(3),P65-69.

[4] 张凯龙,郑江滨,马春燕,等. AIGC 赋能的计算机系统类课程教学探索[J].计算机教育, 2025(11): 57-62.

[5] 邹永攀. 关于 AI 时代计算机学科教学模式与评价体系的思考[J].计算机教育,2025(06):15-17.

[6] 师闻. 教育部等九部门部署加快推进教育数字化将人工智能技术融入教育教学全要素全过程[J].河南教育, 2025(05): 1-1.

[7] 刘三女牙,郝晓晗,李卿. 教育科研新范式：人工智能驱动的教育科学研究[J].教育研究,2024,45(03): 147-159.

[8] 吴海军,武港山,袁春风. 数字逻辑与计算机组成课内实验及实践平台建设[J].计算机教育, 2025(05): 19-22+27.

[9] 王今雨,高海峰,安健,等. 人工智能赋能的数字逻辑实验平台构建与实现[J].实验技术与管理,2025(07): 232-239.

[10] 甘书灵,史东辉,王园园. 基于知识图谱技术的计算机教育学情内涵探索[J].计算机技术与教育学报,2023,11(2),P39-45.